

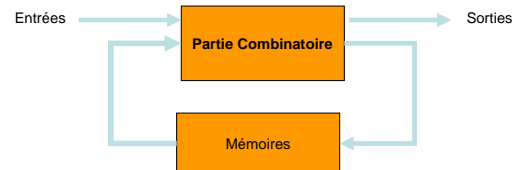
IFT2880 Organisation des ordinateurs et systèmes

Circuits séquentiels

1

Introduction

- Circuits séquentiels ou à mémoire (FSM)
 - Les fonctions de sortie dépendent non seulement de l'état des variables d'entrée mais également de l'état antérieur de certaines variables de sortie (propriétés de mémorisation)



2

Circuits séquentiels

- Circuits combinatoires
 - Les sorties ne dépendent que des valeurs des entrées
- Circuits séquentiels
 - Ajout des notions d'état et de mémoire
 - Ajout de la notion de temps (horloge)

3

Circuits séquentiels

- Circuits séquentiels
 - Les valeurs de sorties du circuit dépendent
 - Des valeurs en entrée
 - De valeurs calculées précédemment
 - De l'état dans lequel on se trouve
- Théories utilisées pour étudier/spécifier les différents types de circuits
 - Circuits combinatoires : algèbre de Boole
 - Circuits séquentiels : théorie des automates finis

4

Circuits séquentiels

Automate fini

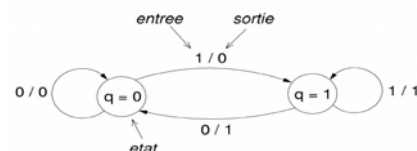
- Un automate fini possède un nombre fini d'états
- Il est caractérisé, pour un couple d'instant $(t, t+1)$, par
 - Sa réponse S
 - Son entrée E
 - Son état Q

5

Circuits séquentiels

Automate fini

- Déterminer un automate:
 - Diagrammes d'états ou de transitions
 - Exemple: Mémoire binaire, stocke 1 bit
 - 1 entrée, 2 états : valeur 0 ou valeur 1
 - Si 0, on mémorise la valeur 0
 - Si 1, on mémorise la valeur 1



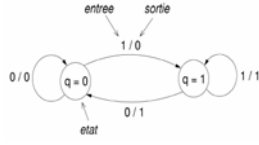
6

Circuits séquentiels

Automate fini

- Déterminer un automate:
 - Table d'états

| E(t) \ Q(t) | 0 | 1 |
|-------------|------|------|
| Q0:0 | Q0/0 | Q1/0 |
| Q1:1 | Q0/1 | Q1/1 |



7

Circuits séquentiels

Automate fini

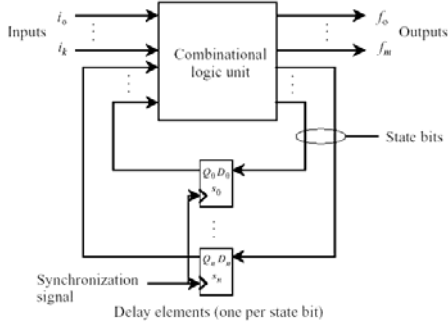
- Déterminer un automate:
 - Table de vérité

| E(t) \ Q(t) | 0 | 1 |
|-------------|------|------|
| Q0:0 | Q0/0 | Q1/0 |
| Q1:1 | Q0/1 | Q1/1 |

| Q(t) | E | Q(t+1) | S |
|------|---|--------|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

8

Classical FSM Model



9

Circuits séquentiels

- **Caractéristiques électriques et temporelles**
- Changement de valeur (0 -> 1 ou 1 -> 0)
 - Idéalement : instantané
 - En pratique : prend un certain temps, délai de montée (0 -> 1) et de descente (1 -> 0)
- Passage d'un signal au travers d'une porte
 - Idéalement : instantané
 - En pratique : prend un certain temps
 - Délai de propagation

10

Circuits séquentiels

- **Contraintes temporelles des circuits**
- Un circuit est formé de plusieurs portes
 - Chemin critique : chemin le « plus long » pour la propagation des signaux à travers le circuit
 - Détermine le temps total de propagation des signaux à travers tout le circuit
 - Temps minimal à attendre pour avoir une sortie valide
 - Intuitivement : chemin passant par le plus grand nombre de portes
 - Mais dépend aussi du temps de propagation de chaque type de porte

11

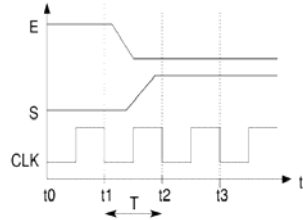
Circuits séquentiels

- **Horloge**
- A cause de tous les délais (montée, descente, propagation)
 - Un signal n'est pas dans un état valide en permanence
- Idée : on ne lit ses valeurs qu'à des instants précis et à des intervalles réguliers
 - Instants donnés par une horloge
- Horloge
 - Indispensable aussi dans le cas des circuits séquentiels synchrones pour savoir quand on passe de t à $t+1$

12

Circuits séquentiels

- **Horloge**
- Signal périodique
 - 1 demi période à 0, l'aut à 1
- Début d'une nouvelle période : instant t_i
- Exemple
 - Instant t_1 : E = 1, S = 0
 - Instant t_2 : E = 0, S = 1
 - CLK = Clock = signal d'horloge



13

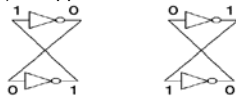
Circuits séquentiels

- **Mémoire sur 1 bit**
- Circuit séquentiel basique : mémoire sur 1 bit
 - Possède une variable binaire codée sur 1 bit
 - Sa valeur est conservée ou modifiable dans le temps
- Mémoires 1 bit peuvent être réalisées avec des bascules

14

Circuits séquentiels

- **Bistable et bascule**
- Bistable : 2 états stables dans le temps
- Principe général d'une bistable : 2 portes NON (inverseurs) en opposition



- Bascule : composant qui met en oeuvre une bistable
 - Possibilité de passer d'un état à l'autre, de changer l'état mémorisé
 - Plusieurs façons de gérer et changer l'état
 - Plusieurs types de bascules : RS, D, JK ...

15

Circuits séquentiels

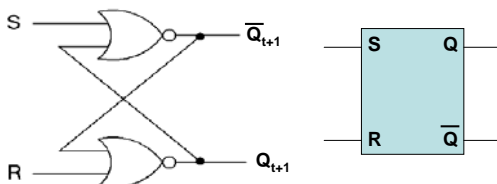
- **Bascule RS**
- Entrées/sorties
 - 2 entrées : R et S ; R = reset : remise à 0 de Q ; S = set : mise à 1 de Q
 - 1 sortie : Q qui correspond à l'état stocké
- Principe : la valeur de Q à $t+1$ dépend de R, S et de la valeur de Q à t

| Q_t | R | S | Q_{t+1} | |
|-------|---|---|-----------|--|
| 0 | 0 | 0 | 0 | S=0 et R=0 : Q garde sa valeur, maintien |
| 0 | 0 | 1 | 1 | S=1 et R=0 : Q mis à 1 |
| 0 | 1 | 0 | 0 | S=0 et R=1 : Q mis à 0 |
| 0 | 1 | 1 | X | S=1 et R=1 : Q indéterminé |
| 1 | 0 | 0 | 1 | S=0 et R=0 : Q garde sa valeur, maintien |
| 1 | 0 | 1 | 1 | S=1 et R=0 : Q mis à 1 |
| 1 | 1 | 0 | 0 | S=0 et R=1 : Q mis à 0 |
| 1 | 1 | 1 | X | S=1 et R=1 : Q indéterminé |

16

Circuits séquentiels

- **Bascule RS**
- Logigramme de la bascule RS, avec des portes NOR



17

Circuits séquentiels

- **3 types de bascules**
- Détermination du temps suivant (passage de t à $t+1$) selon le type de bascule
 - Asynchrone
 - Quand les entrées changent et la sortie est recalculée
 - Synchrone sur niveau
 - Quand le niveau (1 en général, mais 0 aussi) est atteint
 - Synchrone sur front
 - Au moment du passage de 0 à 1 ou de 1 à 0 selon le type de front utilisé par la bascule
- Dans tous les cas
 - Quand on recalcul, les valeurs prises pour l'état et les entrées sont celles *juste* avant de passer à $t+1$, quand on est encore à t

18

Le Flip-flop D

Timing Behavior

- La sortie recopie l'entrée à chaque flanc montant de CLK

19

Classical FSM Model

20

Circuits séquentiels

- **Exemple**
- **Compteur modulo 4**
- **Diagramme de transitions d'états**
 - 1 entrée:
 - RESET
 - 2 sorties:
 - q₀
 - q₁

| Present state | RESET | |
|---------------|-------|------|
| | 0 | 1 |
| A | B:01 | A:00 |
| B | C:10 | A:00 |
| C | D:11 | A:00 |
| D | A:00 | A:00 |

Next state Output

22

Circuits séquentiels

- Table d'états
- 4 états (2 bits pour encoder en binaire)
- Choisir arbitrairement l'encodage:
 - A: 00, B:01; C:10; D:11

| Present state (S _i) | RESET | |
|---------------------------------|-------|-------|
| | 0 | 1 |
| A:00 | 01/01 | 00/00 |
| B:01 | 10/10 | 00/00 |
| C:10 | 11/11 | 00/00 |
| D:11 | 00/00 | 00/00 |

22

Circuits séquentiels

- Table de vérité

| RESET r(t) | s ₁ (t) | s ₀ (t) | s ₁ s ₀ (t+1) | q ₁ q ₀ (t+1) |
|---------------|--------------------|--------------------|-------------------------------------|-------------------------------------|
| 0 | 0 | 0 | 01 | 01 |
| 0 | 0 | 1 | 10 | 10 |
| 0 | 1 | 0 | 11 | 11 |
| 0 | 1 | 1 | 00 | 00 |
| 1 | 0 | 0 | 00 | 00 |
| 1 | 0 | 1 | 00 | 00 |
| 1 | 1 | 0 | 00 | 00 |
| 1 | 1 | 1 | 00 | 00 |

$$s_0(t+1) = \overline{r(t)}\overline{s_1(t)}\overline{s_0(t)} + \overline{r(t)}s_1(t)\overline{s_0(t)}$$

$$s_1(t+1) = \overline{r(t)}\overline{s_1(t)}s_0(t) + \overline{r(t)}s_1(t)s_0(t)$$

$$q_0(t+1) = \overline{r(t)}\overline{s_1(t)}\overline{s_0(t)} + \overline{r(t)}s_1(t)\overline{s_0(t)}$$

$$q_1(t+1) = \overline{r(t)}\overline{s_1(t)}s_0(t) + \overline{r(t)}s_1(t)s_0(t)$$

23

Circuits séquentiels

- **Logigramme**

$$s_0(t+1) = \overline{r(t)}\overline{s_1(t)}\overline{s_0(t)} + \overline{r(t)}s_1(t)\overline{s_0(t)}$$

$$s_1(t+1) = \overline{r(t)}\overline{s_1(t)}s_0(t) + \overline{r(t)}s_1(t)s_0(t)$$

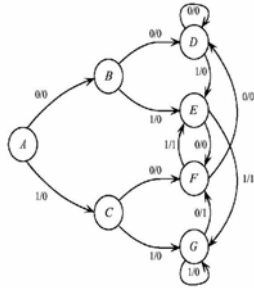
$$q_0(t+1) = \overline{r(t)}\overline{s_1(t)}\overline{s_0(t)} + \overline{r(t)}s_1(t)\overline{s_0(t)}$$

$$q_1(t+1) = \overline{r(t)}\overline{s_1(t)}s_0(t) + \overline{r(t)}s_1(t)s_0(t)$$

24

Circuits séquentiels

- Exemple
- Détecteur de séquence
 - Automate qui met une sortie à « 1 » lorsque exactement deux de ses trois entrées (1-bit série) sont à « 1 »
 - Une séquence d'entrée 011011100 produira 001111010



- Diagramme de transitions d'états
 - 1 entrée:
 - X
 - 1 sortie:
 - Z

25

Circuits séquentiels

- Table d'états
- 7 états (3 bits pour encoder en binaire)
- Choisir arbitrairement l'encodage:
 - A: 000, B:001; C:010; D:011; E:100; F:101; G:110;

| Present state | Input X | |
|---------------|---------|-----|
| | 0 | 1 |
| A | B/0 | C/0 |
| B | D/0 | E/0 |
| C | F/0 | G/0 |
| D | D/0 | E/0 |
| E | F/0 | G/1 |
| F | D/0 | E/1 |
| G | F/1 | G/0 |

26

Circuits séquentiels

- Table de vérité

| Present state | Input X | |
|---------------|-----------------|-----------------|
| | 0 | 1 |
| $s_2 s_1 s_0$ | $s_2 s_1 s_0 z$ | $s_2 s_1 s_0 z$ |
| A: 000 | 001/0 | 010/0 |
| B: 001 | 011/0 | 100/0 |
| C: 010 | 101/0 | 110/0 |
| D: 011 | 011/0 | 100/0 |
| E: 100 | 101/0 | 110/1 |
| F: 101 | 011/0 | 100/1 |
| G: 110 | 101/1 | 110/0 |

(a)

| Input and state at time t | | | | Next state and output at time $t+1$ | | | |
|-----------------------------|-------|-------|---|-------------------------------------|-------|-------|---|
| s_2 | s_1 | s_0 | X | s_2 | s_1 | s_0 | Z |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | d | d | d | d |
| 1 | 1 | 1 | 1 | d | d | d | d |

27